

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Keiichi KUSHIDA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR MEMORY INCLUDING ERROR CORRECTION FUNCTION

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-291491	August 11, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 8月11日
Date of Application:

出願番号 特願2003-291491
Application Number:

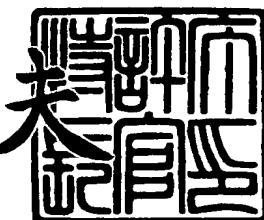
[ST. 10/C] : [JP 2003-291491]

出願人 株式会社東芝
Applicant(s):

2003年 9月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井康



【書類名】 特許願
【整理番号】 A000302392
【提出日】 平成15年 8月11日
【あて先】 特許庁長官 殿
【国際特許分類】 G11C 11/34
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
【氏名】 櫛田 桂一
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲
【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠
【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男
【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎
【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】特許請求の範囲

【請求項1】

指定されたアドレスにデータを格納するための複数のメモリ領域を有するデータ用メモリと、

前記データ用メモリと同じアドレス空間を有し、前記データ用メモリの各メモリ領域に格納されている各データをそれぞれ訂正することが可能なエラー訂正コードを記憶するためのコード用メモリと、

エラー訂正コード生成回路とシンドローム生成回路とエラー訂正コードデコード回路を有し、前記データ用メモリの任意のメモリ領域にデータ書き込みが行われる際、当該書き込み前に前記メモリ領域から読み出されたデータに対してエラー訂正コードを生成し、このエラー訂正コードを前記メモリ領域に対応するコード用メモリから読み出されたエラー訂正コードと比較してエラー判別・訂正処理を行うエラー訂正コード制御回路と、

電源投入後に前記データ用メモリの各メモリ領域に対して最初にアクセスする際に、各メモリ領域毎に読み出されたデータに対する前記エラー訂正コード制御回路によるエラー訂正機能を無効にするECC機能無効制御回路

とを具備することを特徴とする半導体記憶装置。

【請求項2】

前記データ用メモリの各メモリ領域毎に対応してバリッドビットを記憶するために前記データ用メモリに付加され、対応する前記メモリ領域と同時にアクセスされ、電源投入後にリセット信号によってバリッドビットが無効状態に初期化される記憶セルをさらに具備し、

前記ECC機能無効制御回路は、前記データ用メモリのメモリ領域からデータを読み出した際に前記メモリ領域に対応する前記記憶セルのデータが初期値の場合には前記シンドローム生成回路の動作を停止させる信号を出力し、

前記エラー訂正コード制御回路は、電源投入後に最初に前記データ用メモリのメモリ領域からデータを読み出した時は前記メモリ領域に対応する前記記憶セルに記憶されているバリッドビットを有効状態に書き換えるように制御する

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】

前記記憶セルは、前記データ用メモリの対応するメモリ領域のメモリセルと共に接続されているワード線により選択制御されることを特徴とする請求項2記載の半導体記憶装置。

【請求項4】

前記データ用メモリの各メモリ領域毎に対応してバリッドビットを記憶するために前記データ用メモリとは独立に配設され、対応する前記メモリ領域と同時にアクセスされ、電源投入後にリセット信号によって前記バリッドビットが初期化される記憶回路をさらに具備し、

前記ECC機能無効制御回路は、前記データ用メモリのメモリ領域からデータを読み出した際に前記メモリ領域に対応する前記記憶回路のデータが初期値の場合には前記シンドローム生成回路の動作を停止させる信号を出力し、

前記エラー訂正コード制御回路は、電源投入後に最初に前記データ用メモリのメモリ領域からデータを読み出した時は前記メモリ領域に対応する前記記憶回路に記憶されているバリッドビットを有効状態に書き換えるように制御する

ことを特徴とする請求項1記載の半導体記憶装置。

【請求項5】

前記ECC機能無効制御回路は、

電源投入直後に、前記データ用メモリの各メモリ領域に対応するアドレスと初期データおよびそのコードデータを自動で生成し、各初期データおよびそのコードデータが対応する前記データ用メモリの各メモリ領域および前記コード用メモリに前記エラー訂正コード制御回路によって書き込まれる際に前記エラー訂正コード制御回路の機能を停止させる信

号を出力することを特徴とする請求項1記載の半導体記憶装置。

【請求項6】

前記ECC機能無効制御回路は、組み込み自己テスト回路の一部として組み込まれていることを特徴とする請求項5記載の半導体記憶装置。

【請求項7】

前記ECC機能無効制御回路は、

電源投入直後に、テストパターンデータおよびそのコードデータが前記データ用メモリの各メモリ領域および前記コード用メモリに前記エラー訂正コード制御回路によって書き込まれる際に前記エラー訂正コード制御回路の機能を停止させる信号を出力することを特徴とする請求項1記載の半導体記憶装置。

【請求項8】

前記ECC機能無効制御回路は、初期テスト用の組み込み自己テスト回路の一部として組み込まれていることを特徴とする請求項7記載の半導体記憶装置。

【書類名】明細書

【発明の名称】半導体記憶装置

【技術分野】

【0001】

本発明は、誤り訂正符号 (Error-Correction-Code;ECC)を用いた訂正機能 (ECC 訂正機能) を搭載した半導体記憶装置に係り、特にリセット機能が搭載されていない半導体記憶装置に関するもので、例えば大容量SRAMなどに使用されるものである。

【背景技術】

【0002】

半導体メモリの微細化、大容量化の進行に伴い、製造技術が高度化、困難化し、メモリ中の全てのメモリセルが正しく動作する製品を高い歩留りで製造することが困難になってきている。また、微細化により、1ビットセル当たりの保持電荷容量が小さくなり、宇宙線やアルファ線に起因するランダムな1ビットデータの破壊（ソフトエラーと呼ばれる）現象が無視できない程度まで頻繁に発生するようになってきている。このソフトエラー現象は、リダンダンシー技術では解決することができないので、大きな問題となりつつある。この問題を解決する手段の1つとしてメモリ内部にECC 訂正機能を搭載している。

【0003】

図6は、従来の誤り訂正機能を有するDRAMの一部を示す。

【0004】

このDRAMは、DRAM外部との間で入力データ／出力データを授受する入出力 (I／O) 回路10と、指定されたアドレスにnビットのデータを格納するための複数のメモリ領域を有するデータ用メモリ（メインメモリ）11と、このデータ用メモリ11と同じアドレス空間を有し、データ用メモリ11の各メモリ領域に格納されている各データをそれぞれ訂正することができるm (< n) ビットのコード(ECC)を記憶するためのコード用メモリ12と、これらを制御するために設けられたECC 制御回路13とを備えている。

【0005】

図7は、図6中のECC 制御回路13の従来例を示している。

【0006】

このECC 制御回路は、読み出しデータ用レジスタ23、ECC コード用レジスタ24、ECC コード生成回路25、シンドローム生成回路26、ECC デコード回路（シンドロームデコーダ）27、訂正データ用レジスタ28を有し、次のような基本的な機能を有する。

【0007】

(1) 通常のデータ書き込み前の読み出し時には、データ用メモリ11から読み出されたnビットのデータを読み出しデータ用レジスタ23に格納し、同時に、コード用メモリ12から読み出されたmビットのECC コードをECC コード用レジスタ24に格納する。そして、前記データ用メモリ11から読み出されたデータに対してECC コード生成回路25によってmビットのECC コードを生成し、このECC コードと前記コード用メモリ12から読み出されたECC コードとをシンドローム生成回路26で比較し、シンドロームと呼ばれるエラー訂正符号を作成する。ここで、上記2つのECC コードが一致する場合にはシンドローム符号は"0"となり、読み出されたデータ中もしくはECC コード中の特定の1ビットが反転していた場合にはシンドローム符号が"0"以外の特定の値をとる。

【0008】

ECC デコード回路（シンドロームデコーダ）27は、シンドローム符号が"0"の場合にはデータ入力時のデータが正しく保存されていたと判別する。これに対して、シンドローム符号が"0"以外の特定の値の場合には、シンドローム符号は反転していたビットと1対1の対応がとられているので、どのビットが正しくないかを判別することができ、訂正処理を行う。

【0009】

引き続き、データ書き込み時には、I／O回路10からデータ用メモリ11に書き込まれる入力データに対してECC コード生成回路25によってECC コードを生成する。そして

、このECC コードをコード用メモリ12に格納する。

【0010】

(2) 通常の読み出し時には、前記通常のデータ書き込み前の読み出し時と同様の動作を行う。この場合、読み出しデータ用レジスタ23に格納されたデータが、そのまま訂正データ用レジスタ28を経由して、または、訂正データ用レジスタ28で1ビット訂正されて出力データとなる。

【0011】

上述したようにECC 機能を搭載するDRAMは、各アドレスのデータ毎に1ビットまでのデータエラーを訂正して出力することができるので、リダンダンシーで救済不可能なソフトエラーによるデータエラー率を抑えることができる。さらに、プロセス工程で発生するメモリセルのビット不良についても、その不良率が十分小さい場合にはビット不良を救済する効果も併せ持っている。

【0012】

ところで、例えばSRAMにおいては、通常、仕様上の理由からリセット機能が搭載されていない。このようなメモリに、図6に示したようなECC 制御回路13を搭載した場合、電源投入直後には、読み出しデータ用メモリ11内のデータとコード用メモリ12内のECC コードの関係は、ランダム状態 (ECC コードに関する相関が全くない状態) になっているので、ECC 機能に不都合が生じる。

【0013】

また、一般によく用いられる1ビット訂正機能限定のECC 機能を有するECC 制御回路をSRAMに搭載した場合、電源投入直後にはデータ用メモリ11内のデータとコード用メモリ12内のECC コードに2ビット以上のデータエラーが発生していた場合に対応していない。この場合には、電源投入後にデータ用メモリ11およびコード用メモリ12から最初に読み出しを行った際には、データ用メモリ11から読み出されたデータ中の本来誤りでない1ビットを高い確率で誤訂正してしまう。

【0014】

即ち、データ用メモリ11から読み出されたデータに対して生成したECC コードとコード用メモリ12から読み出されたECC コードとを比較してシンドローム符号を作成する、シンドローム符号は"0"以外の特定の値をとるので、本来正しいはずのデータに対して誤って1ビットを訂正してしまうおそれがあるという問題がある。

【0015】

ここで、I/O回路10の入／出力データのビット幅よりもデータ用メモリ11のビット幅nを大きく設定している場合、あるいは、入力データの一部のビットしかデータ用メモリ11に書き込みを行わない機能 (マスク機能) を有する場合を考える。この場合、電源投入後の初めて書き込みを行う際にECC コードを作成する時に、事前にデータ用メモリ11からデータを読み出し、これを参照する必要があるので、前記した誤訂正の問題を避けることが困難であり、結果として、誤ったECC コードを書き戻すことになる。

【0016】

さらに、ECC 制御回路13を、ソフトエラー対策だけでなく、固定ビット不良の対策に適用しようとした場合、前記した問題は致命的となる。即ち、電源投入後に初めてデータを書き込む際に指定するアドレスのメモリ領域中に固定の単ビット不良がある場合、次にデータ読み出しを行う時には、上記不良のビットと誤訂正されたビットとの合計2ビットが不良であるとみなされるので、読み出しデータは高い確率で誤ったデータとして読み出される。

【0017】

なお、特許文献1には、ECC 制御回路の機能検証を行う際、1ビット誤りを発生させたビット位置とECC 制御回路が2つのセレクタの出力から1ビット誤りを検出したビット位置を比較し、1ビット誤りを発生させる前のデータ値とECC 制御回路が1ビット誤りを訂正した後のデータ値を比較する点が示されている。

【特許文献1】特開2000-242515号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

上記したようにリセット機能が搭載されていない半導体記憶装置にECC制御機能を搭載する場合に、データの初期読み出し時にデータの誤訂正が発生するという問題があった。

本発明は上記の問題点を解決すべくなされたもので、電源投入後のデータの初期読み出し時におけるECC制御回路のシンドローム生成回路によるデータの誤訂正を防止でき、ソフトエラーに対して正しくデータを訂正し得る半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0019】

本発明の半導体記憶装置は、指定されたアドレスにデータを格納するための複数のメモリ領域を有するデータ用メモリと、前記データ用メモリと同じアドレス空間を有し、前記データ用メモリの各メモリ領域に格納されている各データをそれぞれ訂正することができるエラー訂正コードを記憶するためのコード用メモリと、エラー訂正コード生成回路とシンドローム生成回路とエラー訂正コードデコード回路を有し、前記データ用メモリおよびコード用メモリを制御するエラー訂正コード制御回路と、電源投入後に前記データ用メモリの各メモリ領域に対して最初にアクセスする際に各メモリ領域毎に読み出したデータに対する前記エラー訂正コード制御回路によるエラー訂正機能を無効にするECC機能無効制御回路とを具備することを特徴とする。

【発明の効果】

【0020】

本発明の半導体記憶装置によれば、電源投入後のデータの初期読み出し時におけるECC制御回路のシンドローム生成回路によるデータの誤訂正を防止でき、ソフトエラーに対して正しくデータを訂正することができる。

【発明を実施するための最良の形態】

【0021】

<第1の実施形態>

図1は、本発明の第1の実施形態に係るSRAMの一部を示している。

【0022】

このSRAMは、SRAM外部との間でkビットの入力データ／出力データを授受する入出力(I/O)回路10と、指定されたアドレスにn(例えばkの整数倍)ビットのデータ幅を持つ複数のメモリ領域を有するデータ用メモリ(メインメモリ)11と、このデータ用メモリ11と同じアドレス空間を有し、データ用メモリ11の各メモリ領域に格納されている各データをそれぞれ訂正することができるm(<n)ビットのECCコードを記憶するためのコード用メモリ12と、これらを制御するために設けられたECC制御回路13とを備えている。

【0023】

このECC制御回路13は、例えば図2に示すように、読み出しデータ用レジスタ23、ECCコード用レジスタ24、ECCコード生成回路25、シンドローム生成回路26、ECCデコード回路(シンドロームデコーダ)27、訂正データ用レジスタ28を有する。そして、図7を参照して前述した従来例のECC制御回路13と同様の基本的な機能(1)、(2)を有し、さらに、(3)電源投入後における最初のデータ読み出し時にはメモリ領域から読み出されたデータに対してエラー訂正を行わないように制御することが可能になっている。

【0024】

即ち、ECC制御回路13の機能は、次の通りである。

【0025】

(1) 通常のデータ書き込み前の読み出し時には、データ用メモリ11のメモリ領域から読み出されたnビットのデータを読み出しデータ用レジスタ23に格納し、同時に、コ

ード用メモリ12から読み出されたmビットのECCコードをECCコード用レジスタ24に格納する。そして、前記メモリ領域から読み出されたデータに対してECCコード生成回路25によってmビットのECCコードを生成し、このECCコードと前記コード用メモリ12から読み出されたECCコードとをシンドローム生成回路26で比較し、シンドロームと呼ばれるエラー訂正符号を作成する。ここで、上記2つのECCコードが一致する場合、シンドローム符号は"0"となり、読み出されたデータ中もしくはECCコード中の特定の1ビットが反転していた場合には、シンドローム符号が"0"以外の特定の値をとる。

【0026】

ECCデコード回路（シンドロームデコーダ）27は、シンドローム符号が"0"の場合にはデータ入力時のデータが正しく保存されていたと判別する。これに対して、シンドローム符号が"0"以外の特定の値の場合には、シンドローム符号は反転していたビットと1対1の対応がとられているので、どのビットが正しくないかを判別することができ、訂正処理を行う。

【0027】

引き続き、データ書き込み時には、I/O回路10からデータ用メモリ11に書き込まれるkビットの入力データに対してECCコード生成回路25によってECCコードを生成する。そして、このECCコードをコード用メモリ12に格納する。

【0028】

(2) 通常の読み出し時には、前記通常のデータ書き込み前の読み出し時と同様の動作を行う。この場合、読み出しデータ用レジスタ23に格納されたデータが、そのまま訂正データ用レジスタ28を経由して、または、訂正データ用レジスタ28で1ビット訂正されて出力データとなる。

【0029】

(3) 電源投入後における最初のデータ読み出し時には、データ用メモリ11のメモリ領域から読み出されたデータに対してエラー訂正を行わないように制御する。具体例としては、前記メモリ領域から読み出されたnビットのデータに対してECCコード生成回路25によってmビットのECCコードを生成するが、このECCコードと前記コード用メモリ12から読み出されたECCコードとをシンドローム生成回路26で比較しないように制御する、または、シンドローム生成回路26で比較したとしてもその結果を無効にするように制御する。

【0030】

さらに、データ用メモリ11から読み出しデータ用レジスタ23に読み出されたデータに対するエラー訂正機能の有効／無効を制御する（本例ではシンドローム生成回路26の機能の有効／無効を制御する）ためのECC機能無効制御回路14と、データ用メモリ11とコード用メモリ12における初期データの整合をとるために、データ用メモリ11の各メモリ領域毎に対応してバリッドビットを記憶するために付加された記憶セル群からなるバリッドビットアレイ11aを搭載している。

【0031】

ECC機能無効制御回路14は、（1）電源投入後にリセット信号によってバリッドビットアレイ11aの各記憶セルのバリッドビットを無効状態（本例では"1"状態、フラグオフ状態）に初期化する機能と、（2）データ用メモリ11のメモリ領域からデータを読み出した際にメモリ領域に対応するバリッドビットが初期値である場合にはシンドローム生成回路の動作を停止させる信号を出力する機能、換言すれば、電源投入後にデータ用メモリ11の各メモリ領域に対して最初にアクセスする際にECC制御回路13のシンドローム生成回路の機能を無効にする機能と、（3）電源投入後に最初にデータ用メモリ11のメモリ領域からデータを読み出した後は、このメモリ領域に対応するバリッドビットを有効状態（本例では"0"状態、フラグオフ状態）に書き換える機能を有する。

【0032】

図3は、図1中のデータ用メモリ11に付加されたバリッドビットアレイ11aのカラムを取り出して一例を示している。

【0033】

バリッドビットアレイ11aのカラムの一対のビット線BL、/BLには、ビット線プリチャージ・イコライズ回路30と、複数の記憶セル31と、初期化回路32が接続されている。各記憶セル31は、データ用メモリ11の各メモリセル(SRAMセル)と同じ構成を有し、同一行のメモリセルと共にワード線、または、同一行のメモリセルのワード線と同じように選択駆動されるワード線WLに接続されている。

【0034】

初期化回路32は、接地ノードと一方のビット線(第1のビット線)BLとの間に接続された第1のクロックド・インバータ回路IV1と、上記一対のビット線BL、/BL間に接続された第2のクロックド・インバータ回路IV2とからなり、これらの2つのクロックド・インバータ回路IV1、IV2はリセットパルス信号resetにより駆動される。

【0035】

また、一対のビット線BL、/BLには、初期化解除回路33が接続されている。この初期化解除回路33は、接地ノードと他方のビット線(第2のビット線)/BLとの間に接続された第3のクロックド・インバータ回路IV3と、一対のビット線BL、/BL間に接続された第4のクロックド・インバータ回路IV4と、ビット線プリチャージ信号Bp_rechと第2のビット線/BLの電位とリセットパルス信号resetの三入力の論理和否定をとるノア回路NORと、このノア回路NORの出力信号(ECC機能停止信号ECC-disable)をバッファ增幅して第3、第4のクロックド・インバータ回路IV3、IV4を駆動する二段接続されたインバータ回路IV5、IV6とからなる。

【0036】

図3の構成によれば、電源投入により、例えばパワーオンリセット信号resetによって初期化解除回路33の2つのクロックド・インバータ回路IV3、IV4が駆動され、第1のビット線BLが"H"レベル、第2のビット線/BLが"L"レベルになる、つまり、バリッドビットが"1"状態(フラグオン状態)に初期化される。

【0037】

このようにリセットされた状態では、最初のデータ読み出し時にビット線プリチャージ信号Bp_rechが活性化すると、ノア回路NORの出力信号ECC-disableが"H"レベルになり、ECC制御回路13のシンドローム生成回路26の動作を停止させる。

【0038】

この後、ビット線プリチャージ信号が非活性化すると、ノア回路NORの出力信号ECC-disableが"L"レベルになり、ECC制御回路13のシンドローム生成回路26の動作が可能になるとともに、初期化解除回路22の2つのクロックド・インバータ回路IV3、IV4が駆動され、第2のビット線/BLが"H"レベル、第1のビット線BLが"L"レベルになる、つまり、バリッドビットが"0"状態になり、初期化が解除される。

【0039】

次に、上記第1の実施形態に係るSRAMの動作の全体的な流れを簡単に説明する。

【0040】

電源投入により、例えばパワーオンリセット信号によってバリッドビットアレイ11aのバリッドビットが"1"状態に初期化される。

【0041】

次に、データ用メモリ11の指定アドレスにデータを書き込む場合、まず、指定アドレスのメモリ領域の記憶データおよびバリッドビットが読み出され、読み出しデータ用レジスタ23に格納される。同時に、コード用メモリ12から読み出されたmビットのECCコードはECCコード用レジスタ24に格納される。

【0042】

このような電源投入後の最初の読み出し時には、バリッドビットは"1"であるので、シンドローム生成回路26は機能を停止し、前記メモリ領域から読み出されたデータの訂正を行わない。

【0043】

次に、指定アドレスのメモリ領域に書き込みデータが書き込まれ、書き込みデータで一部が上書きされたデータに対して作成されたECC コードがコード用メモリ12に書き込まれる。この書き込みと同時に、指定アドレスのメモリ領域に対応するバリッドビットが”0”に書き換えられる。

【0044】

2回目以降の読み出し時には、バリッドデータは”0”になっているので、シンドローム生成回路26は通常の動作を行い、指定アドレスのメモリ領域の記憶データに対応したECC コードを用いて読み出しデータを正しく訂正する。

【0045】

上記した第1の実施形態のSRAMによれば、データの初期読み出し時に、読み出しデータ用メモリ11の記憶データとコード用メモリ12のECC コードが対応していないことに起因するシンドローム生成回路26によるデータの誤訂正が起らなくなる。

【0046】

これにより、特にソフトエラーについて正しくデータを訂正することができるようになる。さらに、ECC 機能を用いて、プロセス起因の固定単ビット不良の訂正も正しく行うことができるようになる。

【0047】

また、電源投入時に発生するパワーオンリセット信号によってバリッドビットアレイ11aのバリッドビットが初期化される場合には、電源投入後から最初に読み出しデータ用メモリ11にアクセスすることが可能になるまでの時間が短いという利点がある。

【0048】

＜第1の実施形態の変形例＞

第1の実施形態では、バリッドビットアレイ11aを読み出しデータ用メモリ11に付加したが、これに限らず、図4に示すように、バリッドビットアレイ11aと同様のバリッドビット記憶回路群（例えばフリップフロップ回路群）11bを、読み出しデータ用メモリ11とは独立に配設するように変更してもよい。なお、図4において、図1中と同一部分には同一符号を付している。

【0049】

このような変形例において、ECC 機能無効制御回路14は、読み出しデータ用メモリ11のメモリ領域とそれに対応するバリッドビット記憶回路を同時にアクセスし、電源投入後にリセット信号reset によってバリッドビットを初期化する。そして、読み出しデータ用メモリ11のメモリ領域からデータを読み出した際にメモリ領域に対応するバリッドビットが初期値の場合にはECC 制御回路13内のシンドローム生成回路（図2中26）の動作を停止させる信号を出力する。また、電源投入後に最初に読み出しデータ用メモリ11のメモリ領域からデータを読み出した時はメモリ領域に対応するバリッドビットを有効状態に書き換えるように制御する。

【0050】

したがって、電源投入後に読み出しデータ用メモリ11の各メモリ領域に対して最初にアクセスする場合には、各メモリ領域毎に読み出したデータに対するエラー訂正機能を無効にすることが可能になり、第1の実施形態と同様の効果が得られる。

【0051】

＜第2の実施形態＞

図5は、本発明の第2の実施形態に係るSRAMの一部を示している。

【0052】

このSRAMは、図1に示したSRAMと同様のI/O回路10、読み出しデータ用メモリ11、コード用メモリ12、ECC 制御回路13のほかに、組み込み自己テスト(Built In Self Test; BIST)回路50が搭載されている。

【0053】

このBIST回路50は、通常のBIST機能のほかに読み出しデータ用メモリ初期化機能およびECC 機能無効制御機能を有しており、ECC 機能無効制御機能を実現するために、ECC 制

御回路13のシン

【0054】

即ち、BIST回路50とECC制御回路13によって読み出しデータ用メモリ11の各メモリ領域に対応するアドレスと初期データおよびそのコードデータを自動で生成し、それらがECC制御回路13によって読み出しデータ用メモリ11およびコード用メモリ12に書き込まれる際にシンドローム生成回路26の機能を停止させる信号を出力する。

【0055】

このように読み出しデータ用メモリ初期化機能およびECC機能無効制御機能を有するBIST回路50を用いた場合にも、電源投入後に読み出しデータ用メモリ11の各メモリ領域に対して最初にアクセスする場合には、読み出したデータに対するエラー訂正機能を無効にすることが可能になり、第1の実施形態と同様の効果が得られる。

【0056】

また、第1の実施形態のようなバリッドビットアレイ11aあるいはバリッドビット記憶回路群11bを追加する場合に比べて、半導体メモリに搭載される既存のBIST回路にECC機能無効制御機能を付加することは回路規模が小さくて済む。

【0057】

<第2の実施形態の変形例>

第2の実施形態におけるBIST回路50を、初期メモリテスト機能（例として、マーチテスト、つまり、書き込みおよび読み出しの連続動作）を有するBIST回路に変更してもよい。このような初期メモリテスト機能を有するBIST回路は、電源投入直後に、予め用意したテストパターンデータをECC制御回路13によって読み出しデータ用メモリ11の各メモリ領域に書き込む。この際、シンドローム生成回路26の機能を停止させる信号を出力し、ECCコード生成回路25にテストパターンデータを通してECCコードを生成し、これをコード用メモリ12に書き込む。

【0058】

このように初期メモリテスト機能を有するBIST回路を搭載した場合にも、電源投入後に読み出しデータ用メモリ11の各メモリ領域に対して最初にアクセスする場合には、各メモリ領域毎に読み出したデータに対するECC制御回路13によるエラー訂正機能を無効にすることが可能になり、第2の実施形態と同様の効果が得られる。

【図面の簡単な説明】

【0059】

【図1】本発明の第1の実施形態に係るSRAMの一部を示すブロック図。

【図2】図1中のECC制御回路の一例を示すブロック図。

【図3】図1中のデータ用メモリに付加されたバリッドビットアレイのカラムを取り出して一例を示す回路図。

【図4】第1の実施形態に係るSRAMの変形例の一部を示すブロック図。

【図5】本発明の第2の実施形態に係るSRAMの一部を示すブロック図。

【図6】従来の誤り訂正機能を有するDRAMの一部を示すブロック図。

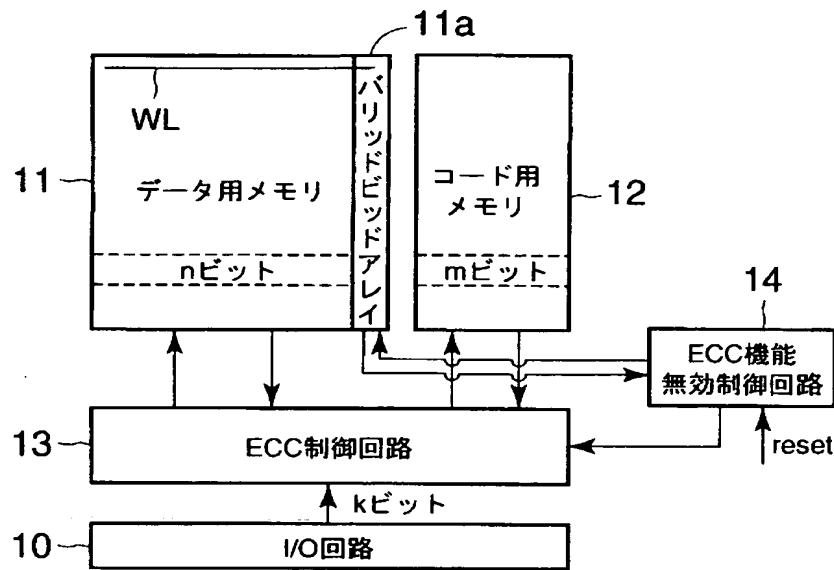
【図7】図6中のECC制御回路の従来例を示すブロック図。

【符号の説明】

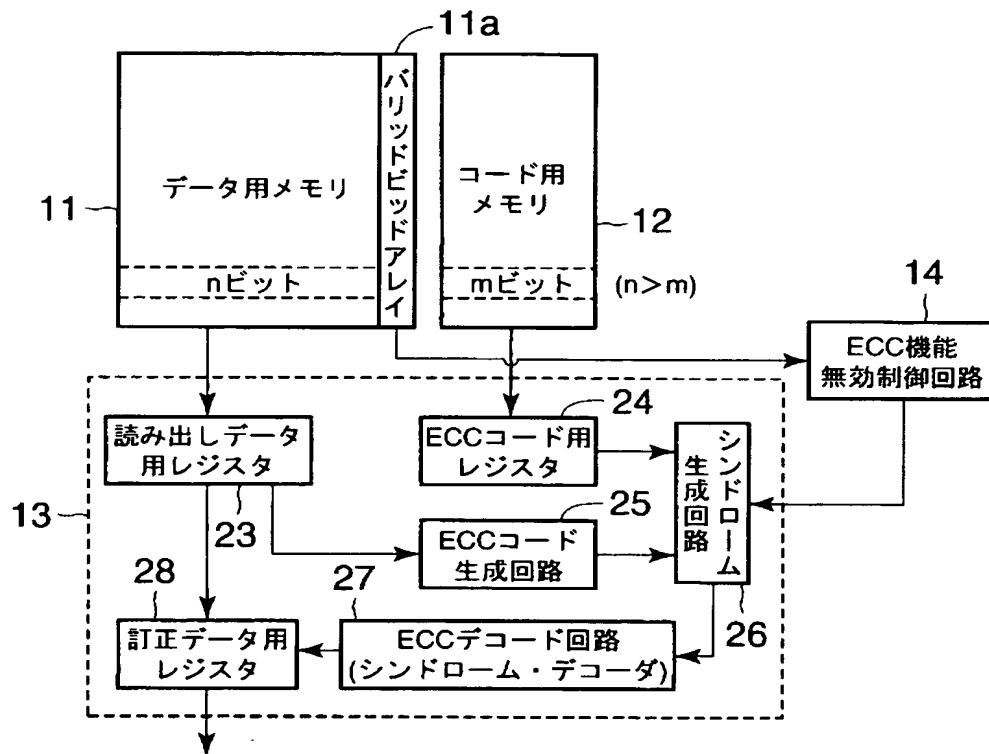
【0060】

10…I/O回路、11…データ用メモリ（メインメモリ）、12…コード用メモリ、13…ECC制御回路、14…ECC機能無効制御回路、23…読み出しデータ用レジスタ、24…ECCコード用レジスタ、25…ECCコード生成回路、26…シンドローム生成回路、27…ECCデコード回路（シンドロームデコーダ）、28…訂正データ用レジスタ。

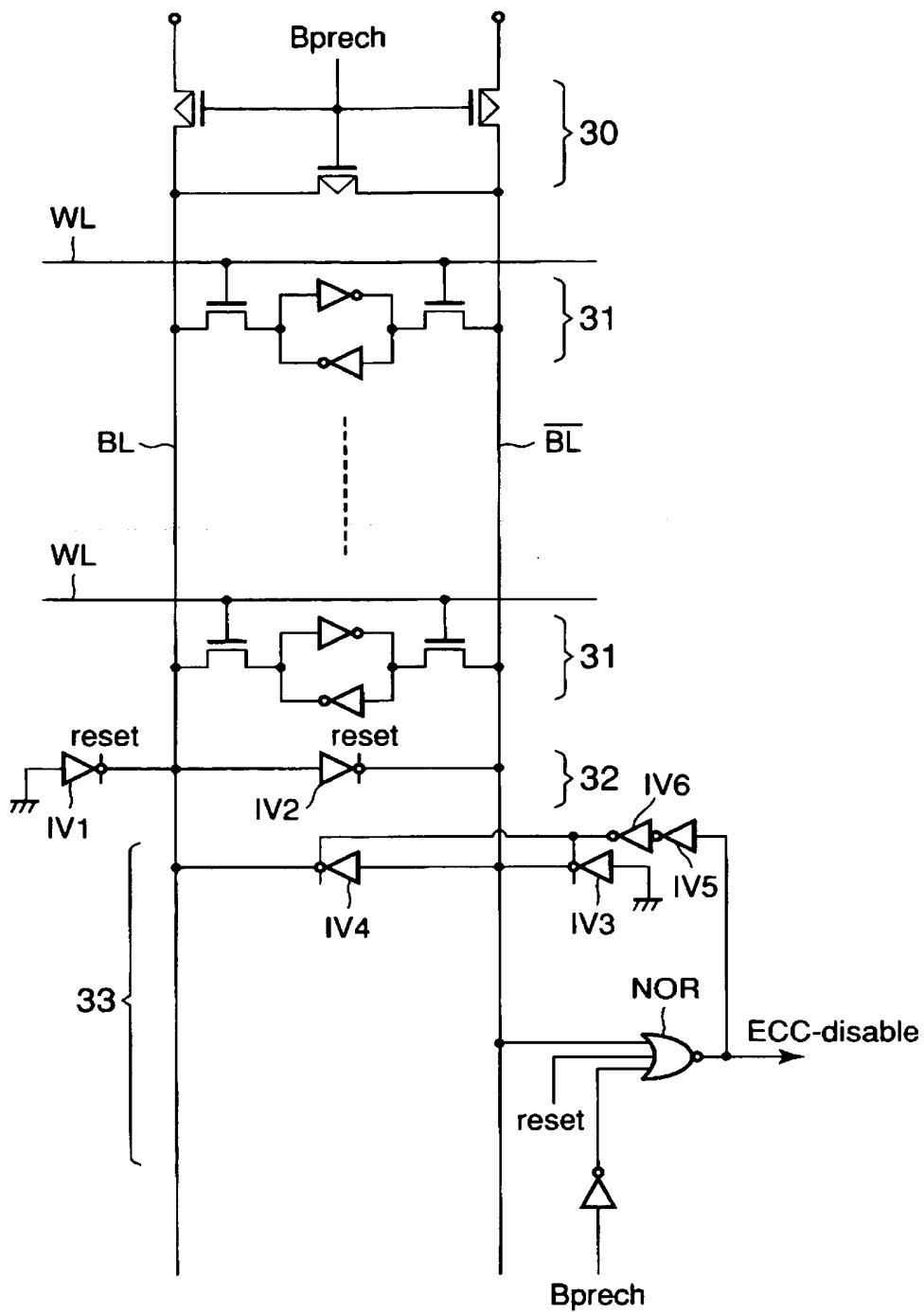
【書類名】 図面
【図 1】



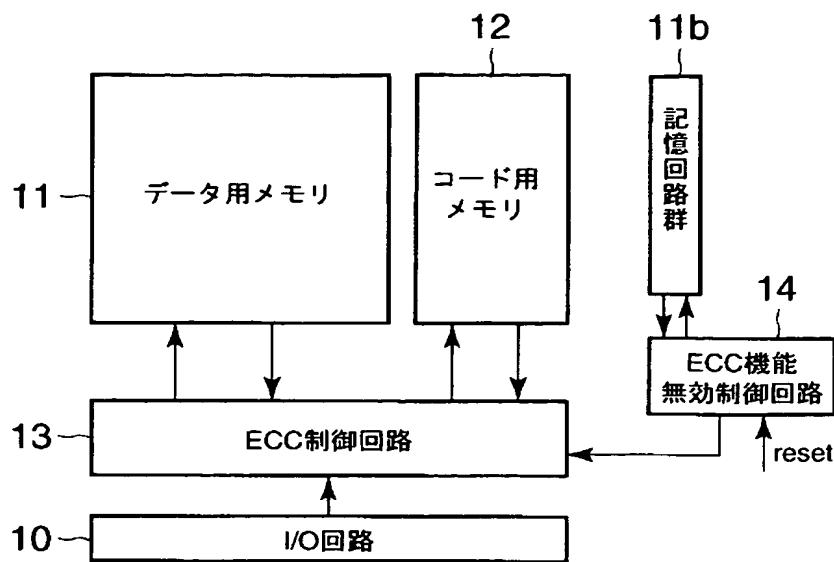
【図 2】



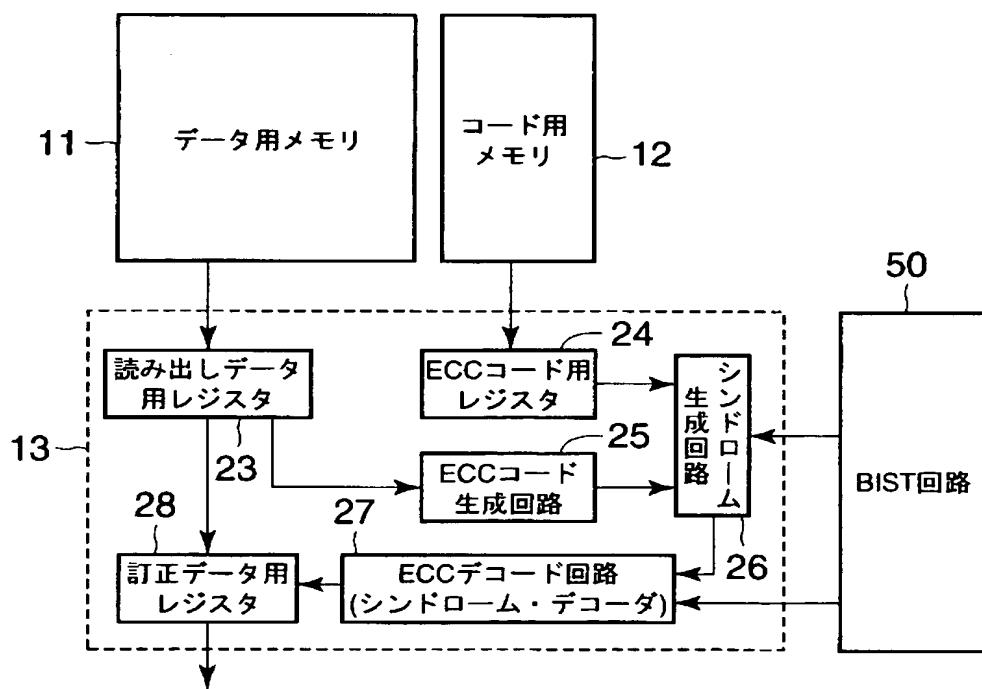
【図 3】



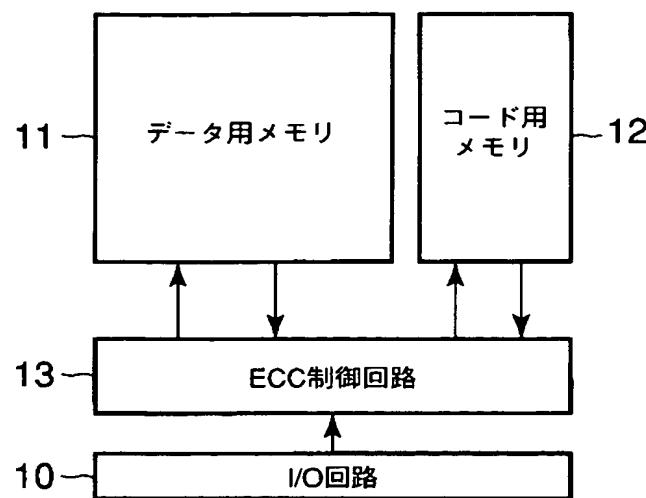
【図 4】



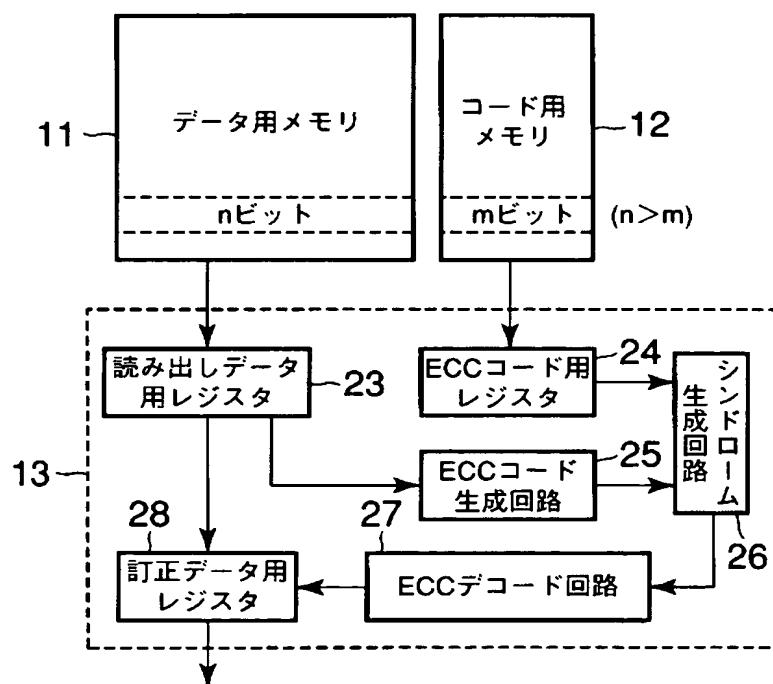
【図 5】



【図6】



【図7】



【書類名】要約書

【要約】

【課題】電源投入後のデータの初期読み出し時におけるECC制御回路のシンドローム生成回路によるデータの誤訂正を防止でき、ソフトエラーに対して正しくデータを訂正し得る半導体記憶装置を提供する。

【解決手段】指定されたアドレスにデータを格納するための複数のメモリ領域を有するデータ用メモリ11と、データ用メモリと同じアドレス空間を有し、データ用メモリの各メモリ領域に格納されている各データをそれぞれ訂正することが可能なエラー訂正コードを記憶するためのコード用メモリ12と、データ用メモリおよびコード用メモリを制御するECC制御回路13と、電源投入後にデータ用メモリの各メモリ領域に対して最初にアクセスする場合には、読み出したデータに対するデータの訂正機能を無効にする制御回路14とを具備する。

【選択図】図1

特願 2003-291491

出願人履歴情報

識別番号

[000003078]

1. 変更年月日 1990年 8月 22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町 72 番地
氏 名 株式会社東芝

2. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目 1 番 1 号
氏 名 株式会社東芝